

PUBLICATION NUMBER : 62036865
PUBLICATION DATE : 17-02-87

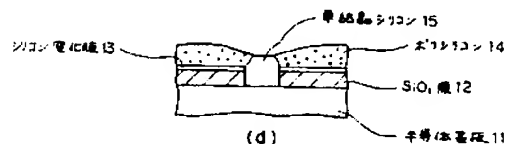
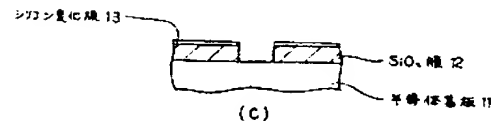
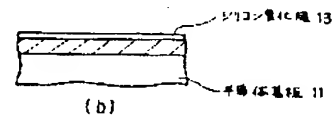
APPLICATION DATE : 10-08-85
APPLICATION NUMBER : 60176446

APPLICANT : FUJITSU LTD;

INVENTOR : ITO KIKUO;

INT.CL. : H01L 29/72

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To improve the reliability of a semiconductor by forming a nitride film on an oxide film when simultaneously epitaxial polysilicons are grown on the oxide film to smooth the irregular surface of the polysilicon, thereby readily performing a wiring step.

CONSTITUTION: An oxide film (SiO_2 film) 12 is formed on a semiconductor substrate 11, a nitride film 13 grown by a CVD method is formed further thereon, patterned, and a polysilicon layer 14 and a crystalline silicon layer 15 are formed by the simultaneously growth of the epitaxial polysilicon thereon. Such a method is employed to reduce the irregular surface of the polysilicon 14 which was heretofore a problem. This is considered that the nitride film is formed on the film 12 not to contact directly with the oxide film when growing the polycrystalline silicon.

COPYRIGHT: (C) JPO

This Page Blank (uspto)

⑨ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭62-36865

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)2月17日

H 01 L 29/72

8526-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭60-176446

⑰ 出 願 昭60(1985)8月10日

⑱ 発 明 者	三重 野 丈 健	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	吉 村 雄 二	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	武 田 正 行	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	伊 藤 喜 久 雄	川崎市中原区上小田中1015番地	富士通株式会社内
⑰ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
⑰ 代 理 人	弁理士 井 桁 貞 一		

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板(11)上に酸化膜(12)およびシリコン窒化膜(13)を形成する工程、

酸化膜(12)とシリコン窒化膜(13)に窓開けをなし当該部分の半導体基板を露出する工程、および

全面にシリコンを成長し、窓開け部分には単結晶シリコン(15)を、また窒化膜(13)の上には非単結晶シリコン(14)を成長させる工程を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

半導体装置の製造において、酸化膜上にシリコン窒化膜を形成し、その上に多結晶シリコン膜を形成する半導体装置の製造方法である。

(産業上の利用分野)

本発明は半導体装置の製造方法に関するもので、さらに詳しく言えば、半導体装置の酸化膜上に多結晶シリコン(Poly-Si、ポリシリコン)を形成する場合、先ず酸化膜上にシリコン窒化膜を形成し、その上にポリシリコンを成長し、それによりポリシリコン膜表面の凹凸を少なくする方法に関するものである。

(従来の技術)

従来のトランジスタは第3図に示され、同図において、31は半導体基板、32はn⁺型埋込層、33はエピタキシャル層(コレクタ領域)、34は分離層(アイソレーション領域)、35は酸化膜、36はベース領域、37はエミッタ領域、38、39、40はそれぞれコレクタ、ベース、エミッタ電極を示す。かかる従来例トランジスタにおいては、ベース領域36の面積が大きく、ベース領域36とコレクタ領域33で作られる容量も大きいためスイッチングスピードが比較的遅いものであった。

最近では、第4図で示すようにポリシリコン層

(1)

(2)

41を被着し、そこにベース領域とエミッタ領域を積み重ねるように形成し、集積化を図ると共に両領域の面積をほぼ同じ位にし、寄生容量を少なくすることによりスイッチングスピードをあげることが考えられている。そして、第4図のような構造をもったトランジスタを製造するには、エピタキシャル成長とポリシリコンの同時成長技術を用いる方法が有効である。すなわち、半導体基板31の酸化膜に窓開けをなし全面にポリシリコンを成長させると、窓開けして基板の単結晶が露出したところの上には単結晶シリコンが、また酸化膜の上にはポリシリコン（非単結晶シリコン）が成長するのである。以下、かかる技術をエピタキシャル-ポリシリコン同時成長という。

(発明が解決しようとする問題点)

前記したエピタキシャル-ポリシリコン同時成長技術を使って、例えばシランガスを用いる公知の化学気相成長法で基板31上に直接ポリシリコンを堆積すると、酸化膜に堆積したポリシリコンに

1000Å以上の凹凸が発生してしまう（第5図を参照）。このような現象が起きる原因は必ずしも明らかではないが、ポリシリコンの成長は核形成によるものであるところから、酸化膜上の核が少ないからではないかと理解される。

上記した方法を用いるとポリシリコンの表面に凹凸が生じ、その上に配線を形成する場合には断線の原因となったり、配線工程を困難にするため、不良品が出やすくなるという問題がある。

本発明はこのような点に鑑みて創作されたもので、前記したトランジスタの作成において、酸化膜上にポリシリコンを凹凸なく形成できる方法を提供することを目的とする。

(問題点を解決するための手段)

第1図(ないし)(d)は本発明の第1実施例の製造工程における半導体製造要部の断面図である。

第1図に示される如く、半導体基板11上の酸化膜12にポリシリコンを成長する場合、酸化膜12上にシリコン窒化膜13を形成し、パターニング(いし

(3)

た後にポリシリコン層14を形成する方法をとるものである。

(作用)

上記の半導体装置の製造方法においては、酸化膜12がシリコン窒化膜13で覆われているため、ポリシリコン14と酸化膜12とは直接触れない。このためエピタキシャル-ポリシリコンの同時成長を行ってもポリシリコンの凹凸が低く抑えられ、段差の少ない状態で配線が行なえ、配線工程における不良が出にくくなるものである。

(実施例)

以下本発明を第1図と第2図を参照して説明する。

第1図(い)を参照すると、12は基板1の表面に形成された酸化膜（ SiO_2 膜）であり、13はシリコン窒化膜（ Si_3N_4 、以下単に窒化膜という）を示し、14、15はエピタキシャル-ポリシリコンの同時成長によって形成されたポリシリコン、単結晶

(4)

シリコンを示すものである。

本実施例においては、第1図に示すように、半導体基板11上に酸化膜（ SiO_2 膜）12を形成し（同図(い)参照）、更にその上にCVD法により成長させた窒化膜13を形成し（同図(い)参照）、これらをパターニングした後（同図(い)参照）、その上にエピタキシャル-ポリシリコンの同時成長によりポリシリコン層14と単結晶シリコン層15を形成するものである（同図(い)参照）。

このような方法を採用することにより、従来問題となっていたポリシリコン14の表面に発生していた凹凸（約1000Å以上の起伏）を減少させることができた（約500Å以下の起伏）。これは、従来行われていなかった酸化膜12上に窒化膜を形成させることで多結晶シリコンが成長する際に、酸化膜12に直接触れないことが原因と考えられる。

このような方法によって作られた半導体装置は表面の凹凸が少なく、配線作業も比較的行うことができるため製品の信頼性を高めることが可能となる。また表面の凹凸が少ないことから近

(5)

(6)

年の傾向である多層配線化にも十分対応してゆくことが可能である。

次に、第2図(a)～(f)を参照し本発明応用例の製造工程について簡単に説明する。

半導体基板11に同図(a)に示される如く n^+ 型埋込層11aを作り、次に例えば熱酸化によって酸化膜(SiO₂ 膜) 12を、次いでCVD法で窒化膜13を成長し(同図(b))、これをパターニングして密閉けた後(c)、エピタキシャルーポリシリコンの同時成長により密閉けた部分には n^+ 型の単結晶シリコン層15、窒化膜の上にはポリシリコン層14とを形成する(d)。次いでボロン(B⁺)を図に矢印で示す如くイオン注入により注入し、単結晶シリコン層15の上半分以上をp型にしてベース領域17を形成し(同図(e))、同図(f)に示されるポリシリコン層14のパターニングを行い、酸化して酸化膜16を作り、そしてこれをエッチングして電極窓を開け、エミッタ領域18を形成し、同図(h)に示すようにベース電極19、エミッタ電極20を形成してトランジスタを完成する。

(発明の効果)

以上述べてきたように本発明によれば、半導体の製造工程において、酸化膜上にエピタキシャルーポリシリコンの同時成長を行う場合、酸化膜上に窒化膜を形成することによりポリシリコンの表面を凹凸の少ないなめらかなものとする事が可能で、これにより配線工程が容易なものとなるため、不良品率が少なくなり、半導体の信頼性が向上するものであり、更に近年の多層配線化にも対応することができる。

4. 図面の簡単な説明

第1図(a)～(d)は本発明実施例断面図、

第2図(a)～(h)は本発明応用例の製造工程を示す断面図、

第3図ないし第5図は従来例の半導体装置の断面図である。

第1図と第2図において、

11は半導体基板、

(7)

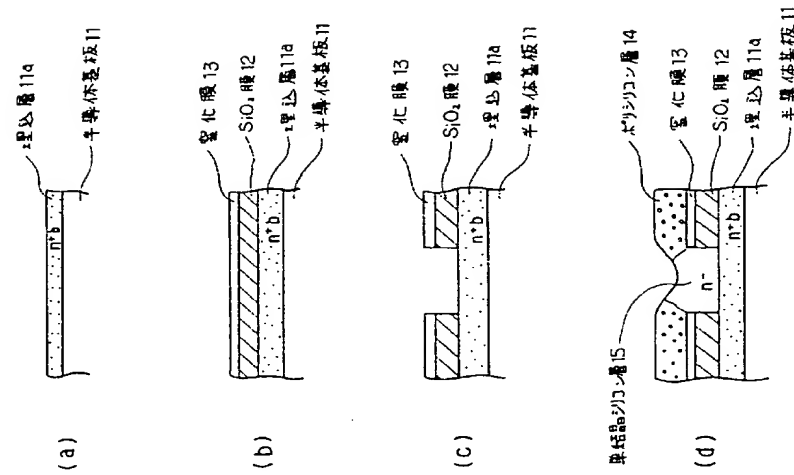
(8)

- 12は酸化膜、
- 13は窒化膜、
- 14はポリシリコン層、
- 15は単結晶シリコン層、
- 16は酸化膜、
- 17はベース領域、
- 18はエミッタ領域、
- 19はベース電極、
- 20はエミッタ電極である。

代理人 弁理士 井 桁 貞

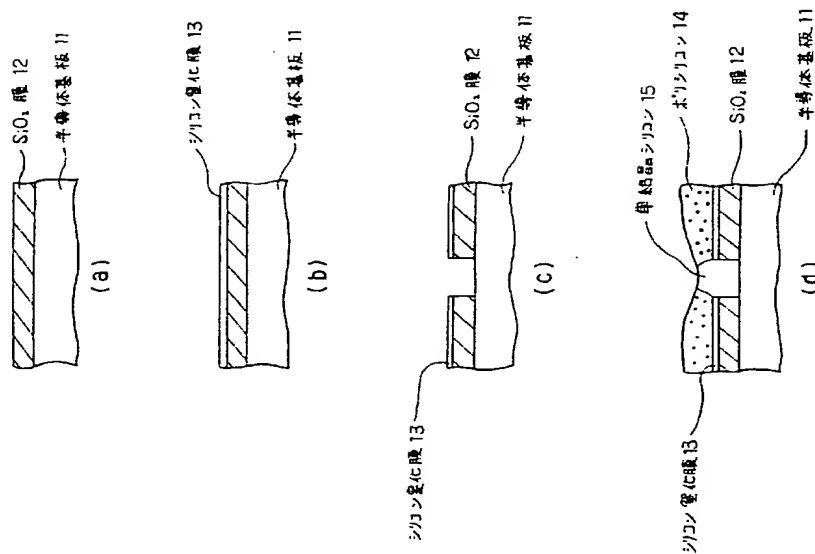


(9)



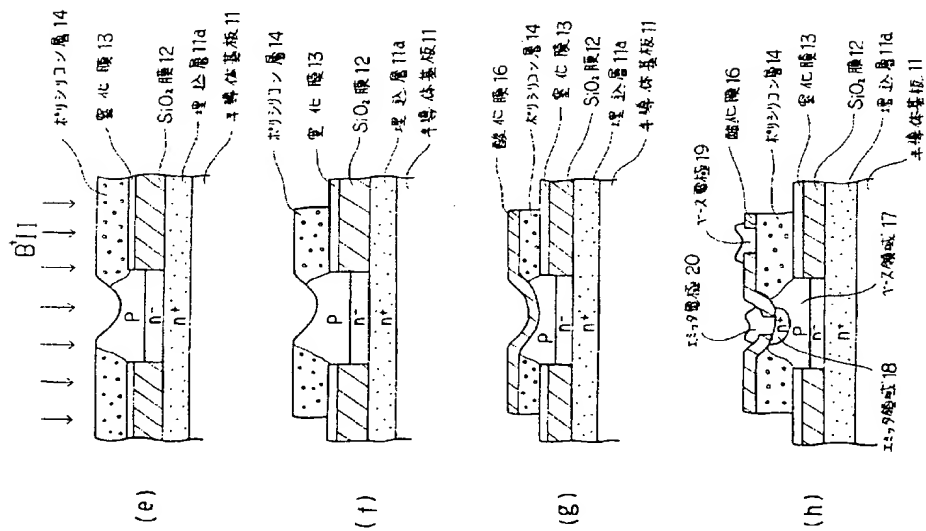
本発明応用例断面図

第 2 図

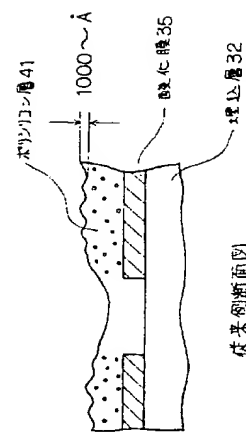
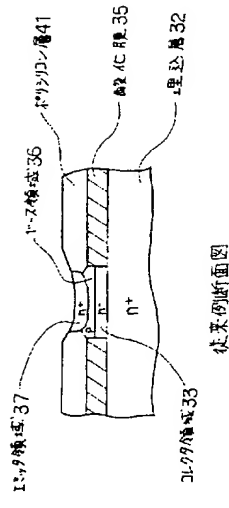
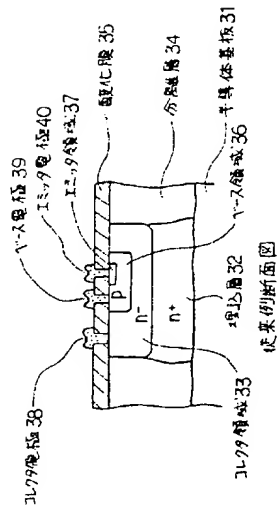


本発明実施例断面図

第 1 図



本発明応用例断面図
第 2 図



This Page Blank (uspto)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)